

移動通信用シミュレータの開発

須山 聡, 鈴木 博, 府川和彦
大学院理工学研究科集積システム専攻

〒152-8550 東京都目黒区大岡山 2-12-1

TEL: 03-5734-3289, FAX:03-5734-3276

E-MAIL:suzuki@icc.titech.ac.jp,

URL: <http://www.mobile.icc.titech.ac.jp>

1. 移動通信用シミュレータの意義

従来, 移動通信用無線機はハードウェア中心であり, ソフトウェアについては音声信号処理と回線制御を中心としたもので, その比重は小さかった. しかしながら, CDMA や TDMA において高度なデジタル信号処理を無線信号伝送の処理に導入するようになり, DSP におけるソフトウェアの比重が大きくなりつつある. このような実現手法はソフトウェアレディオと呼ばれ, 各所で研究されている.

第 3 世代の第 2 フェーズおよび第 4 世代における無線信号伝送の研究テーマとして, 以下の二つのものが重要と考えられる.

- 2 Mb/s 以上の高速伝送の実現
- 干渉の抑圧手段の実現

従来, これらテーマの基礎研究は計算機によるシミュレーションが主体であるが, 伝送システムの高度化に伴って膨大な計算時間が必要になってきている. 研究開発への要求項目の最近の特徴を以下に列挙する.

- (1) アダプティブアレー, 干渉キャンセラ, パケットタイミング制御等の非常に高度な無線信号処理のアルゴリズムの開発が要求されている.
- (2) 高速処理のためには, マルチ DSP だけでなく FPGA などを組み合わせた高度なプログラマブルデバイスの最適組み合わせ方法の開発が要求されている.
- (3) 計算機シミュレーションによる基本アルゴリズムを実証するだけでなく, それを実際に実現するために必要な周辺技術を確立し, 全体としての性能を提示することが要求されている.
- (4) 計算機シミュレーションで用いたプログラムに僅かな手間を加えるだけで試作機の開発を短期間で行え, さらにそのプログラムの多くの部分が商用機的设计に使えることが要求されている.

これらの要求を満たすため, 研究開発の現場においてアルゴリズム等の変更が可

能なデジタルシミュレータが注目されており、将来技術の研究開発には必須である。研究から開発までの期間短縮を考えればこのシミュレータの基本構成は、当然商用機に近いものでなければならない。シミュレータの基本構成を図1に示す。

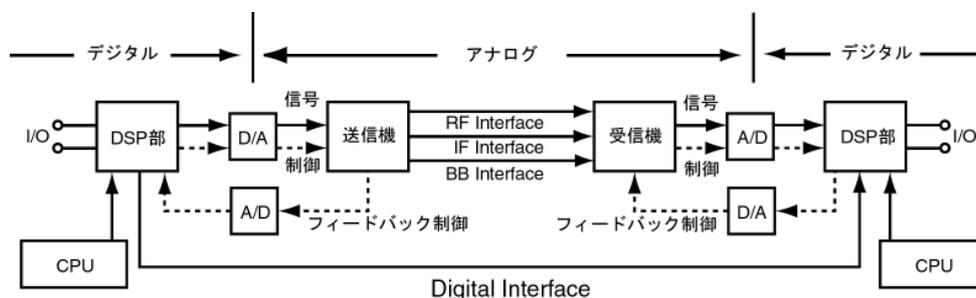


図1 シミュレータの基本構成

2. シミュレータの仕様

移動無線通信用のソフトウェアレディオによる信号伝送方式を研究・開発するためのデジタルシミュレータを下記のような方針で開発する。

- ソフトウェアモジュール、特殊ボードの実現。
- 特許の取得。
- ソフトウェアとハードウェアのノウハウの蓄積。
- 大学で考案された高度な信号処理の実用化。

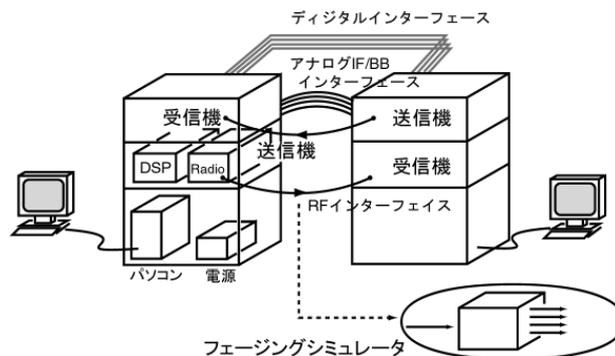


図2 シミュレータのイメージ

また、デジタルシミュレータは下記のようなイメージのものを製作する。(図2)

- (1) シミュレータは、送信処理部、フェージングシミュレータ(移動無線伝搬路シミュレータ)部、受信処理部から構成され、各部は通信ポートで結合された複数のデジタル信号処理プロセッサ(DSP)が搭載されたボードから成る。
- (2) 上記のハードウェアを汎用ボードおよび若干の試作ボードによって組み立て、ボード間の相性に関するノウハウを蓄積すると共に、安定したボードの組み合わせを具体的に提示する。
- (3) 各部のソフトウェアモジュールを作成し、汎用化する。

- (4) 無線ハードウェアとのインターフェースを製作し、RF 系、IF 系、ベースバンド系でのハードウェア実験を容易にする。
- (5) ソフトウェアモジュールとハードウェアの選択により、様々な仕様の無線信号伝送系のシミュレーションを行えるようにする。
- (6) シミュレータ各部の内部動作をリアルタイムにビジュアル表示し、デバッグの効率化、デモンストレーションの簡易化を図る。

3. シミュレータのハードウェア構成

シミュレータのハードウェア構成は以下のような汎用ボード及びモジュールから成る

- 動作クロック 167MHz で最大処理能力 1GFLOPS を持つ TI 社 DSP 「TMS320C6701」を 4 個搭載した Pentek 社のマルチ DSP ボード 2 枚。
- 2 チャンネル入力, サンプリング周波数 65MHz, 解像度 12bit の A/D コンバータ, 並びに AGC 及び復調機能付きハリス社製デジタルレシーバチップを搭載した Pentek 社製 A/D 付きデジタルレシーバモジュール。
- 各ボード間の信号伝送に用いる 160 MB/s でデータ転送が可能な FPDP メザニンモジュール。
- FPDP 搭載の 4 チャンネル入力, サンプリング周波数 65MHz, 解像度 14bit の特注 D/A ボード。

4. 開発成果

今年度は本シミュレータにおける基本伝送系の構築を目標にインプリメンテーションを行ってきた。シミュレータの各部における具体的な開発成果について示す。

4.1. 送信処理部

送信処理部ではシミュレータ内で送信ビット系列を作成するために PN 符号発生器を実装した。また、発生させた送信ビット系列を変調するモジュールとして QPSK デジタル変調器を実装した。その構成は送信ビット系列を帯域制限するためにナイキスト条件を満たすロールオフフィルタに過去 2 ビット, 現在のビット, 未来の 2 ビットを畳み込んでフィルタ出力を生成している。ロールオフフィルタの時間波形は \cos , \sin 関数などの DSP 処理能力を著しく消費する関数を含んでいるのであらかじめ 32 通りのビットパターンに対応するフィルタ出力結果をテーブル化している。QPSK デジタル変調器の構成を図 4 に示す。

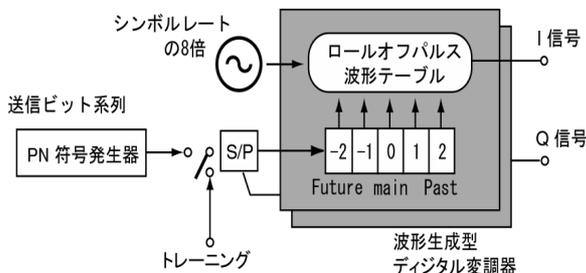


図 4 デジタル変調器の構成

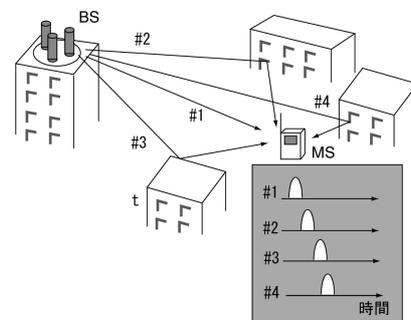


図 5 フェージングの発生法

4.2. フェージングシミュレータ部

フェージングシミュレータ部では受信機の移動に伴い、送受信間の伝搬路(パス)が逐次変化することにより受信信号の電力や位相が激しく変動する(フェージング)現象をモデル化する当研究室で考案された発生アルゴリズムを実装した。これは図5のように異なった経路を通る各パスが受信機の移動速度に比例して発生と消滅を繰り返し、連続的に伝搬路環境が変化していくアルゴリズムである。

4.3. 受信処理部

受信処理部では DSP 処理能力を著しく消費する $\sqrt{\log}$ や \cos , \sin 関数をテーブル化して高速化した熱雑音発生器を実装した。これはフェージングシミュレータ部から送られてきた受信データ系列に対して発生させた熱雑音を付加している。

さらに、受信データ系列に対して伝送路の歪みや遅延時間差を補償する判定帰還形等化器を実装した。判定帰還形等化器では伝搬路の変化に追従するため適応アルゴリズムの一種である RLS アルゴリズムを用いて歪みや遅延の等化を行い、その出力信号を判定して受信ビット系列を得ている。その構成を図6に示す。具体的な動作としてはフィードフォワードフィルタ部で伝送路の整合フィルタを実現し、フィードバックフィルタ部で判定後の信号をフィードバックすることにより遅延を等化している。

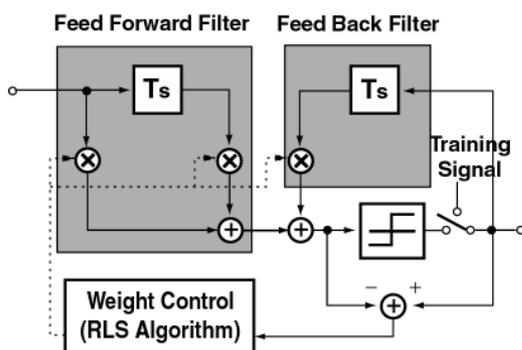


図 6 判定帰還形等化器の構成



図 7 各処理部の様子

4.4. オシロスコープによる各処理部の表示

オシロスコープにより各処理部の様子を観察できるようにした。図7のように送信信号波形が伝搬路により歪み、その歪みを受信側で等化している様子が分かる。

5. まとめ

移動通信用シミュレータの基本構想、仕様および構成について示した。また、具体的な今年度の開発成果についても示した。今後は、シミュレータの RF 系、IF 系、ベースバンド系の回路の製作や干渉キャンセラ、アダプティブアレーの実装を行う予定である。我々は単に大学だけで製作するのではなく、企業との共同研究、分担を行い効率よく質の高い製品に仕上げたい考えであり、共同していただけるパートナー企業を広く募集している。