

# OFDM 伝送実験用 FPGA シミュレータ

## FPGA Simulator for OFDM Transmission Experiments

須山 聡, 鈴木 博, 府川 和彦

Satoshi SUYAMA, Hiroshi SUZUKI, and Kazuhiko FUKAWA

東京工業大学 大学院理工学研究科

Graduate School of Science and Engineering, Tokyo Institute of Technology

〒152-8550 東京都目黒区大岡山 2-12-1

2-12-1, O-okayama, Meguro-ku, Tokyo, 152-8550 Japan

TEL, FAX: 03-5734-3770, E-MAIL: {ssuyama, suzuki, fukawa}@radio.ss.titech.ac.jp

### 1. はじめに

将来の移動通信において予想される厳しい周波数選択性フェージング環境でも高速・高信頼な伝送を実現できる変復調方式として OFDM が注目されている。既に OFDM は無線 LAN や地上波デジタル放送に採用されており、さらに高度化されると考えられる。

当研究室では一層の高速化を図るために、送受信で複数のアンテナを用い空間多重化を行う MIMO-OFDM を検討している。すでに、(i) ガード・インターバルを超える遅延による符号間干渉を除去する等化器, (ii) ドップラー変動によりサブキャリア間の直交性が崩れることで発生するキャリア間干渉を除去する受信方式, (iii) 同一チャネル干渉を除去する MIMO 方式等の提案に関して、計算機シミュレーションにより特性を解明してきた[1-3]。本稿では、これらの高度な無線信号処理のハードウェアによるリアルタイム動作を検証するため、OFDM 伝送実験用シミュレータを構築したのでその詳細について明らかにする。

### 2. OFDM 伝送実験用 FPGA シミュレータ

OFDM 伝送実験用シミュレータは、複数の FPGA によりベースバンド基本 OFDM 伝送実験系を実現している。ハードウェアとしては、東京エレクトロニクス社製の大規模 FPGA ボードを用いており、約 700 万システムゲートの FPGA である Xilinx 社製 Virtex-II Pro を 6 個搭載している。なお、FPGA 1 個当たり 328 個の乗算器が搭載されており、優れた MAC 性能を実現できる。

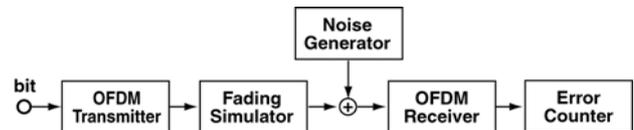


図1 OFDM 伝送実験系

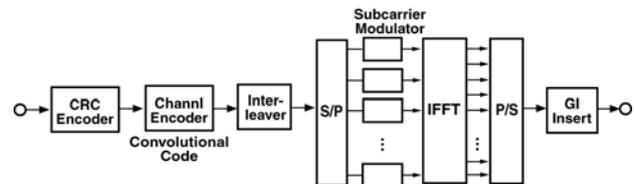


図2 OFDM 送信処理部

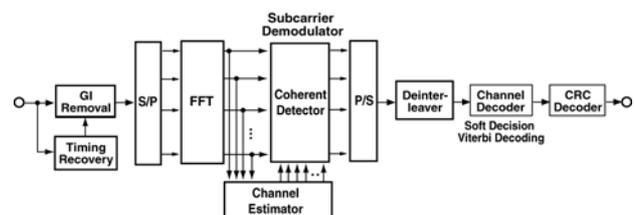


図3 OFDM 受信処理部

また、アナログ入出力として、14 bit, 105 Msps の ADC を 4 チャンネル、14 bit, 160 Msps の DAC を 8 チャンネル分搭載している。

シミュレータに実装した回路の構成を図 1 に示す。OFDM の送信処理部および受信処理部に加えて、伝送性能を評価するための無線伝搬路シミュレーション部、雑音発生器、BER/PER 測定器から構成される DAC により FPGA の内部信号を出力することで、マルチパスフェージング環境における受信信号や検波信号をオシロスコープ等で観測できる。OFDM のパラメタは IEEE802.11a/g に準拠した[4]。ただし、変調方式としては符号化

率 1/2 の QPSK のみを実装しており，帯域幅は動作クロックに合わせて変化する．送信するビットは FPGA 内部で PN 系列生成器により作成している．16bit 固定小数点演算を用いた．

OFDM 送信処理部および受信処理部の構成を図 2，図 3 に示す．IFFT および FFT は Xilinx 社から提供されている無償の IP コアを用いている．それ以外のモジュールについては，VHDL により当研究室で記述した．現状では，デジタルベースバンド回路のみなので，タイミングリカバリーについては実装していない．

無線伝搬路シミュレーション部には，各パスがフェージング変動に比例する時間間隔で発生と消滅を繰り返す，当研究室で考案されたアルゴリズムを実装した[5, 6]．

### 3. 性能評価

基本 OFDM 伝送実験系に実装したモジュールの性能を表 1 にまとめる．系全体では最大 80 MHz まで動作させることが可能である．最も回路が複雑な軟判定ビタビ復号（拘束長 7 の畳み込み符号の復号用）がボトルネックになっている．

OFDM 伝送実験用シミュレータで取得した AWGN チャネルでの PER 特性を図 4 に示す．PER 特性は CRC による誤り検出によって測定した．データシンボル数は 10 とした．比較のため，計算機による C 言語シミュレーションの結果も示す．Double は倍精度浮動小数点，Short は 16bit 固定小数点の結果である．図 4 より 16bit 固定小数点による劣化はなく，FPGA に実装したモジュールの妥当性が確認できた．

また，2パス等レベルレイリーフェージング環境での PER 特性を図 5 に示す．計算機シミュレーション結果と比較して，若干良い特性ではあるが，ほぼ理想的な特性を取得できた．無線伝搬路シミュレーション部の実装も良好に行えたが検証できた．

### 4. まとめ

高度な無線信号処理のリアルタイム動作検証用 OFDM 伝送実験用シミュレータのハードウェア構成，実装した回路およびその性能について示した．また，シミュレータを用いることで，誤り訂正を含めた OFDM 伝送系において 80 Mbps での伝送特性の取得が行えることを示した．今後はさらなる高速，高度化を行う予定である．また，現状ではベースバンド系のみであるが，将来的にはアナログフロント・エンドの構築も検討している．

表 1 実装したモジュールの性能

構成要素	機能・特徴	動作周波数
送信処理部	・ QPSK 変調 ・ 64ポイントIFFT	170 MHz 120 MHz
移動無線伝搬路シミュレーション部	・ フェージングモデル ・ ガウス雑音発生	120 MHz
受信処理部	・ 64ポイントFFT ・ 同期検波 ・ 軟判定ビタビ復号	120 MHz 170 MHz 80 MHz

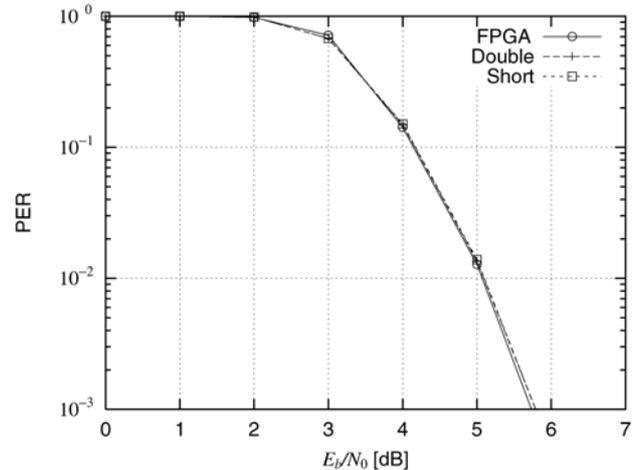


図 4 AWGN チャネルにおける PER 特性

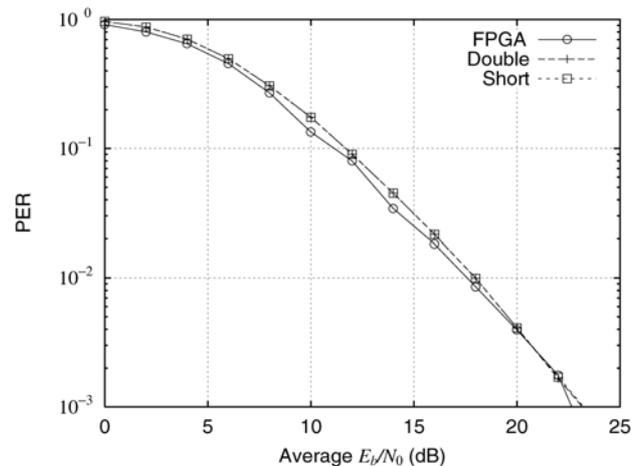


図 5 マルチパスチャネルにおける PER 特性

### 参考文献

- [1] 須山他, IECIE 技術報告, RCS2002-312, 2003 年 3 月.
- [2] 伊藤他, IECIE 技術報告, RCS2003-74, 2003 年 7 月.
- [3] 山田他, IECIE 技術報告, CS-2003-184, 2004 年 3 月.
- [4] IEEE Std 802.11a, *High-speed Physical Layer in the 5 GHz Band*, 1999.
- [5] 須山他, YRP 移動体通信産学官交流シンポジウム 2002, pp. 62-63, 2002 年 7 月.
- [6] N. Suwunniponth, et al, *Proc. 1999 IEEE Intern. Symp. on Intelli. Signal Proc. and Commu. Systems*, pp.137-140, Dec. 1999.